



Jacek Kowalski
Michał Strzelecki
Instytut Elektroniki
Politechnika Łódzka
ul. Wólczańska 223, 90-924 Łódź

Weryfikacja pomiarowa bloków funkcjonalnych CMOS układu scalonego VLSI sieci oscylatorów do segmentacji obrazów binarnych

Słowa kluczowe: analogowe układy CMOS, ASIC, sieć oscylatorów, segmentacja obrazów

STRESZCZENIE

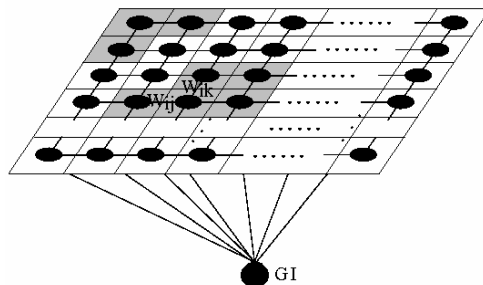
W artykule przedstawiono wyniki pomiarów podstawowych bloków funkcjonalnych układu scalonego CMOS VLSI sieci synchronizowanych oscylatorów do segmentacji obrazów binarnych oraz porównano je z wynikami symulacji. Uzyskano dobrą zgodność wyników pomiarów z wynikami symulacji programem Spectre. Układ scalony sieci synchronicznych oscylatorów został wykonany w technologii AMIS 0.35 μ m C035M-D 5M/1P.

1. WPROWADZENIE

Celem artykułu jest przedstawienie najważniejszych wyników pomiarów analogowych bloków funkcjonalnych układu scalonego CMOS VLSI sieci synchronizowanych oscylatorów (SSO) do segmentacji obrazów binarnych oraz porównanie ich z wynikami symulacji wykonanymi za pomocą programu Spectre. Program ten jest standardowym wyposażeniem pakietu do projektowania układów scalonych CADENCE v. 4.4.6 04/03/2002. Do symulacji wykorzystano nominalne wartości parametrów tranzystora MOS modelu BSIM3v3.3 Level 53. Układ scalony został wykonany w technologii AMIS 0.35 μ m C035M-D 5M/1P. W strukturze układu scalonego, oprócz SSO, zaimplementowano 3 struktury testowe. Umożliwiają one wykonanie pomiarów charakterystyk przejściowych DC odpowiednich wzmacniaczy transkonduktancyjnych tworzących strukturę oscylatora CMOS i układu wejściowego z pamięcią oraz pozwalają na obserwację oscyloskopową drgań relaksacyjnych w odseparowanym oscylatorze.

Segmentacja, polegająca na podziale obrazu na rozłączne obszary (mająca na celu wydzielenie np. obiektów obrazu od tła), jest jednym z ważniejszych etapów przetwarzania obrazów. Metody segmentacji obrazów z wykorzystaniem sieci synchronizowanych oscylatorów okazały się skuteczne m.in. w przypadku segmentacji binarnych obrazów biomedycznych [9] oraz obrazów dokumentów [10]. Opis działania takiej sieci dla celów segmentacji zaproponowano m.in. w [2]. Każdy oscylator sieci odpowiada jednemu punktowi

obrazu, jak pokazano na rys. 1 oraz jest połączony z czterema sąsiadami za pomocą wag W_{ij} (poza oscylatorami brzegowymi) oraz z globalnym układem hamującym GI. Oscylatory reprezentujące dany obiekt obrazu synchronizują się. Zadaniem globalnego układu hamującego (ang. *Global Inhibitor*, GI) jest zapewnienie desynchronizacji pomiędzy grupami oscylatorów reprezentujących różne obiekty.



Rys. 1. Architektura sieci oscylatorów

Realizacja sprzętowa SSO [1, 3, 4] pozwala na szybsze wykonanie segmentacji obrazu w porównaniu do metod opartych na symulacji komputerowej. Równoległa struktura sieci bardzo dobrze nadaje się do takiego zadania.

2. UKŁAD CMOS OSCYLATORA

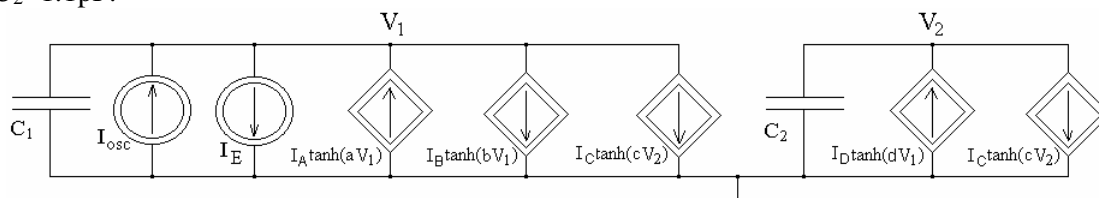
Aby umożliwić realizację fizyczną oscylatora CMOS z zastosowaniem wzmacniaczy transkonduktancyjnych OTA [5] w pracach [6-8] zaproponowano model matematyczny oscylatora wykorzystujący funkcje tangens hiperboliczny. Model ten jest opisany za pomocą następującego układu nieliniowych równań różniczkowych:

$$C_1 \frac{dV_1}{dt} = I_A \tanh(aV_1) - I_B \tanh(bV_1) - I_C \tanh(cV_2) - I_E + I_{osc} \quad (1)$$

$$C_2 \frac{dV_2}{dt} = I_D \tanh(dV_1) - I_C \tanh(cV_2) \quad (2)$$

gdzie V_1 jest zmienną pobudzającą, V_2 – zmienną hamującą, zaś $I_A, I_B, I_C, I_D, I_E, C_1, C_2, a, b, c, d$ są stałymi parametrami. I_{osc} jest całkowitym zewnętrznym pobudzeniem oscylatora, w najprostszym przypadku zależnym od jasności danego punktu obrazu.

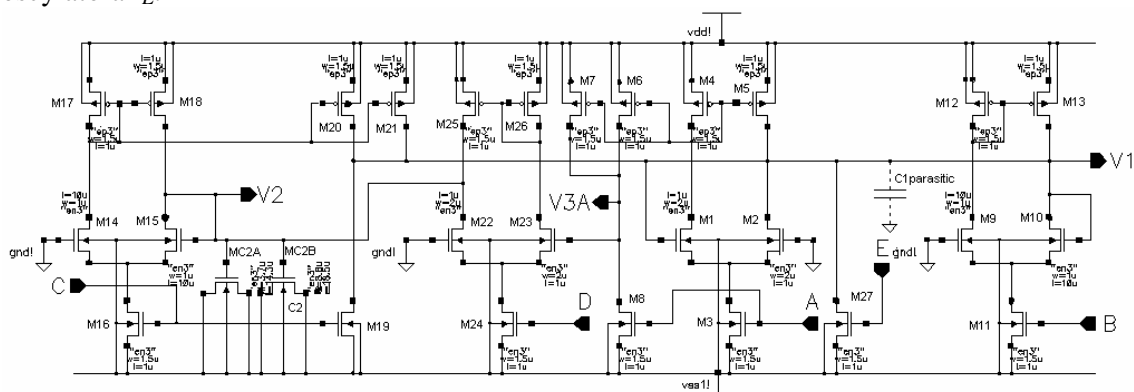
Schemat obwodowy tego modelu oscylatora przedstawia rys. 2. Przy założeniu amplitudy oscylacji zmiennej pobudzającej $A_{V1}=0.5V$ oraz biorąc pod uwagę napięciowe i prądowe ograniczenia dla technologii AMIS $0.35\mu m$ wybrano następujące wartości parametrów: $I_A=1.2\mu A, I_B=2\mu A, I_C=2\mu A, I_D=2\mu A, I_E=2.5\mu A, a=10, b=2.44, c=2.44, d=500, C_1=15fF, C_2=1.1pF$.



Rys. 2. Model obwodowy oscylatora

Na podstawie modelu obwodowego oscylatora z rys. 2 został zaprojektowany układ CMOS z wykorzystaniem wzmacniaczy transkonduktancyjnych OTA. Schemat układu przedstawia na rys. 3. Tranzystory M1-M5 realizują funkcję $I_A \tanh(aV_1)$, tranzystory M9-M13 - funkcję $I_B \tanh(bV_1)$, M14-M21 – dwie funkcje $I_C \tanh(cV_2)$, tranzystory M6-M8 i M22-M26 –

funkcję $I_D \tanh(dV_1)$, zaś tranzystor M27 jest zwierciadłem prądowym prądu polaryzacji oscylatora I_E .

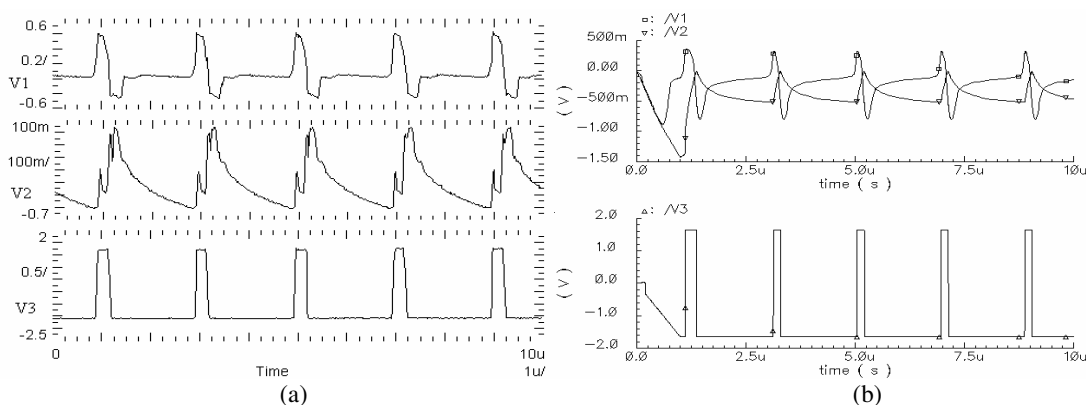


Rys. 3. Schemat układu CMOS oscylatora

Wymiary geometryczne tranzystorów zostały tak dobrane, aby pracowały one stale w zakresie nasycenia przy przyjętej wartości amplitudy oscylacji. W celu zaoszczędzenia powierzchni płytki krzemowej, kondensator C_2 został zaimplementowany wykorzystując pojemności bramek dwóch tranzystorów MC2A i MC2B. Ponieważ kanały tych tranzystorów pracują w sposób ciągły w obszarze silnej inwersji, zastępcza pojemność takiej struktury jest liniowa w zakresie przyjętych amplitud oscylacji obydwu zmiennych stanu V_1 i V_2 . Kondensator C_1 został zaimplementowany jako suma pojemności pasożytniczych pomiędzy metalizacją i podłożem – pojemność $C_{1parasitic}$ na rys. 3.

3. WYNIKI POMIARÓW UKŁADU OSCYLATORA

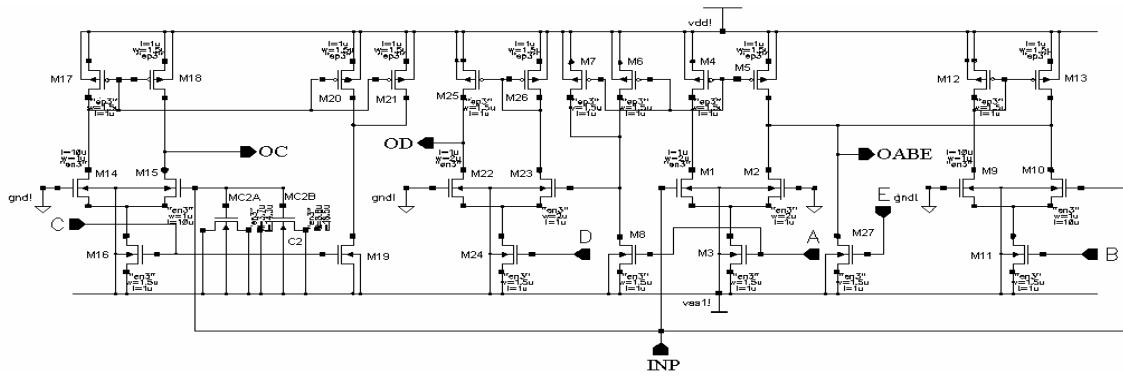
Rysunek 4a przedstawia przebiegi oscylacji zmiennych stanu V_1 , V_2 oraz przebieg V_3 zaobserwowane dla przypadku, gdy $I_E=1.5\mu A$. Przebieg napięcia V_3 jest zbinaryzowanym przebiegiem V_1 z progiem równym zero. Wszystkie pomiary wykonano przy symetrycznym zasilaniu $V_{DD}=1.65V$ i $V_{SS}=-1.65V$.



Rys. 4. Przebiegi oscylatora CMOS, (a)-pomiar, (b)-symulacja

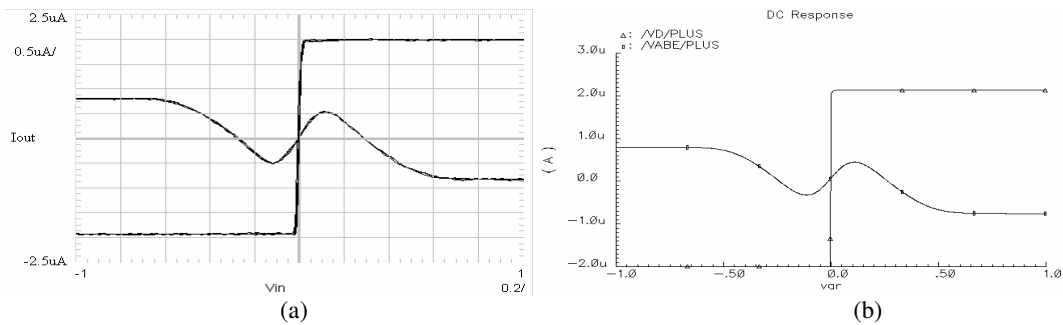
Rysunek 4b przedstawia wyniki symulacji działania oscylatora z wykorzystaniem programu Spectre. Do symulacji został wykorzystany model tranzystora MOS BSIM3v3.3 Level 53 oraz zostały uwzględnione wszystkie pojemności pasożytnicze layoutu oscylatora.

Wykorzystując zaimplementowaną w układzie scalonym SSO strukturę testową, której schemat ideowy jest przedstawiony na rys. 5, wykonano pomiary charakterystyk przejściowych DC odpowiednich grup wzmacniaczy OTA realizujących oscylator CMOS.



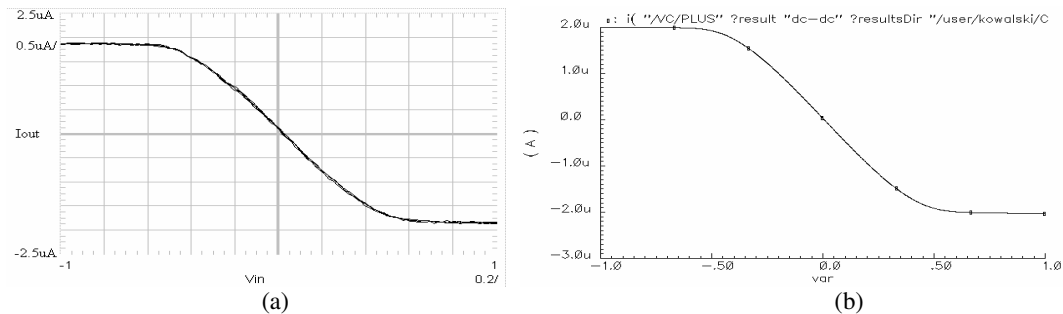
Rys. 5. Schemat struktury testowej do pomiaru charakterystyk DC w oscylatorze CMOS

Do wejścia INP tej struktury podłączono generator wolnozmiennego przebiegu sinusoidalnego i obserwując prądy wyjść OABE, OD oraz OC zmierzono charakterystyki przejściowe DC. Przedstawiona na rys. 6a charakterystyka przejściowa DC o kształcie litery S została zmierzona przy założeniu $I_E=0$, wykorzystując wyjście struktury testowej OABE (rys. 5). Realizuje ona funkcję $f_{AB} = I_A \tanh(aV_1) - I_B \tanh(bV_1)$. Druga charakterystyka przejściowa realizuje funkcję $f_D = I_D \tanh(dV_1)$ i została zmierzona wykorzystując wyjście struktury testowej OD.



Rys. 6. Charakterystyki przejściowe DC realizujące funkcje f_{AB} i f_D , (a)-pomiar, (b)-symulacja

Analogiczne wyniki symulacji programem Spectre są zaprezentowane na rys 6b. Rezultat pomiaru charakterystyki $f_C = I_C \tanh(cV_2)$ wykorzystując wyjście OC struktury testowej z rys. 5 jest przedstawiony na rys. 7a.



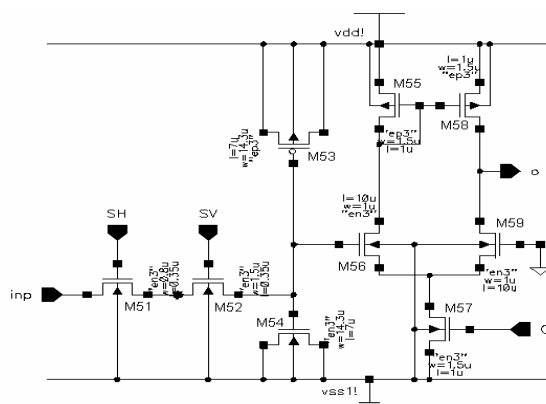
Rys. 7. Charakterystyka przejściowa DC realizująca funkcję f_C , (a)-pomiar, (b)-symulacja

Analogiczny wynik symulacji programem Spectre jest pokazany na rys. 7b.

4. POMIARY UKŁADU WEJŚCIOWEGO CMOS

Schemat układu wejściowego do akwizycji jasności piksela obrazu pokazano na rys. 8. Kiedy tranzystory M51 i M52 są włączone, następuje ładowanie pojemności bramek

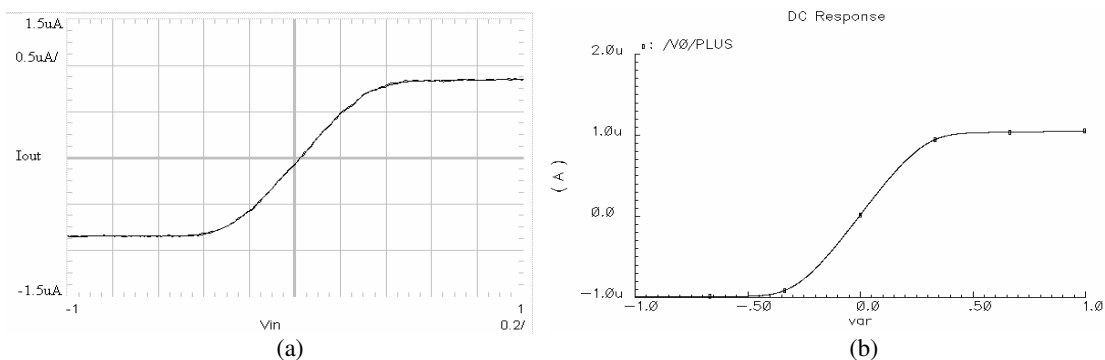
tranzystorów M53 i M54 do wartości napięcia wejściowego V_{in} odpowiadającego jasności piksela obrazu.



Rys. 8. Schemat układu wejściowego CMOS

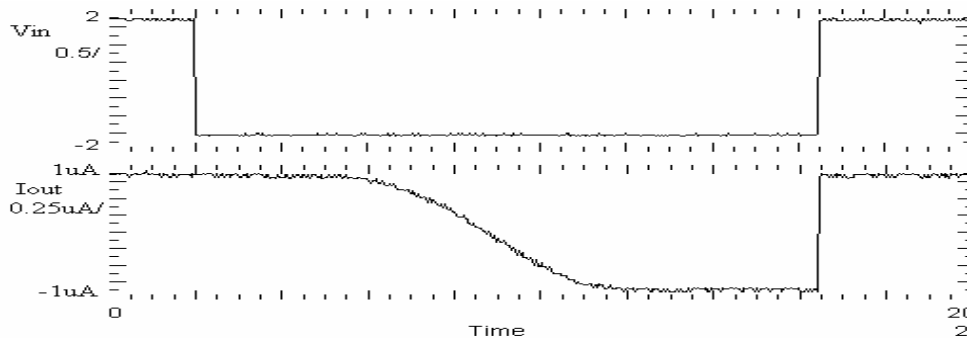
Jeżeli co najmniej jeden z tranzystorów M51 i M52 jest wyłączony, wartość napięcia wejściowego jest zapamiętywana na pojemnościach bramek tranzystorów M53 i M54, następnie to napięcie ulega konwersji na prąd z wykorzystaniem wzmacniacza OTA (tranzystory M55 – M59). Wyjście o tego wzmacniacza jest połączone z węzłem V_I odpowiadającemu zmiennej V_I oscylatora w danej komórce. Tranzystor M57 pracuje jako źródło prądowe o typowej wydajności $I_G=1\mu\text{A}$. Dla obrazów binarnych prąd wyjściowy I_{out} przyjmuje wartości $+I_G$ (piksel reprezentujący obiekt obrazu) lub $-I_G$ (piksel tła). W każdej komórce bramki tranzystorów M51 i M52 są sterowane przez rejestry przesuwne horyzontalny i wertykalny podczas wprowadzania obrazu wejściowego.

Charakterystykę przejściową DC $I_{out}(V_{in})$ układu wejściowego zmierzoną przy włączonych tranzystorach M51, M52 przedstawia rys. 9a. W porównaniu do charakterystyki otrzymanej drogą symulacji komputerowej programem Spectre (rys. 9b) zmierzona charakterystyka posiada niewielki offset oraz nasycia się przy prądzie nieco poniżej $1\mu\text{A}$.



Rys. 9. Charakterystyka DC $I_O(V_{inp})$ konwersji napięcia wejściowego V_{inp} w prąd I_O dla układu wejściowego (a)-zmierzona, (b)-wynik symulacji programem Spectre

Rysunek 10 przedstawia przebiegi czasowe obserwowane podczas pomiaru czasu pamiętania układu wejściowego. Górny przebieg V_{in} przedstawia sygnał wejściowy. Sygnał ten jest opóźniony względem sygnałów przełączających SH i SV (rys. 8) tak, aby w czasie wyłączania tranzystorów M51, M52 przebieg V_{in} miał jeszcze stan wysoki. Dolny przebieg przedstawia prąd wyjściowy po konwersji. Można zauważyć, że stan wysoki jest pamiętany przez około 4 sekundy, po czym następuje utrata ładunku zgromadzonego w bramkach tranzystorów M53, M54 przez złącze podłożowe tranzystora M52 tak, że po czasie około 10 sekund stan ten zmienia się na niski.



Rys. 10. Wynik obserwacji oscyloskopowej podczas pomiaru czasu pamiętania układu wejściowego

5. WNIOSKI

Wykonano szereg pomiarów charakterystyk DC wzmacniaczy transkonduktancyjnych OTA tworzących strukturę oscylatora CMOS i układ wejściowy z pamięcią oraz zaobserwowano drgania relaksacyjne w odseparowanym oscylatorze. Uzyskano dobrą zgodność wyników pomiarów z wynikami symulacji programem Spectre. Wyniki pomiarów nie tylko były przydatne do opracowania wymaganego raportu dla Europractice, lecz będą pomocne przy projektowaniu specjalnego modułu testowego SSO do segmentacji obrazów binarnych. Moduł ten będzie połączony z pomiarową kartą PCI w komputerze PC. Program sterujący opracowany w środowisku LabVIEW pozwoli na wprowadzenie obrazu wejściowego do układu SSO oraz na wizualizację wyników segmentacji obrazu.

PODZIĘKOWANIA

Niniejsza praca powstała w ramach grantu MNIi „Realizacja układu CMOS VLSI sieci synchronicznych oscylatorów dla celów segmentacji obrazów binarnych” nr 4T11B04125

BIBLIOGRAFIA

- [1] H. Ando, T. Morie, M. Nagata, A. Iwata, “A nonlinear oscillator network for gray-level image segmentation in PWM/PPM circuits for its VLSI implementation”, *IEICE Trans. Fundamentals Electron., Comm. Comput. Sci.*, **E83A**, pp. 329-336, 2000.
- [2] E. Cesmeli, D. Wang, „Texture Segmentation Using Gaussian-Markov Random Fields and Neural Oscillator Networks”, *IEEE Trans. on Neural Networks*, **12**, pp. 394-404, 2001.
- [3] J. Cosp, J. Madrenas, “Scene Segmentation Using Neuromorphic Oscillatory Networks”, *IEEE Trans. on Neural Networks*, **14**, No. 5, September 2003, pp. 1278-1296.
- [4] J. Cosp, J. Madrenas, E. Alarcón, E. Vidal, G. Villar, “Synchronization of Nonlinear Electronic Oscillators for Neural Computation”, *IEEE Trans. on Neural Networks*, **15**, No. 5, September 2004, pp. 1315-1327.
- [5] J. Kowalski, T. Kacprzak, „Analiza i projektowanie sieci neuronowych komórkowych realizowanych w technice układowej wzmacniaczy transkonduktancyjnych jedno- i wielowejsiowych”, *Kwartalnik Elektroniki i Telekomunikacji*, **47**, Zeszyt 1, pp. 87 – 119, 2001.
- [6] J. Kowalski, M. Strzelecki „Projekt realizacji CMOS sieci oscylatorów do segmentacji obrazów binarnych”, II KKE 2003, Materiały Konferencji, Kołobrzeg , tom 1/2, pp. 169 - 174, 9– 12.06.2003.
- [7] J. Kowalski, M. Strzelecki, A. De Vos, “Relaxation Oscillator Circuit Design for Image Segmentation”, *Workshop Proceedings of IEEE Signal Processing’2004*, pp.27 – 31, 24th September 2004, Poznań.
- [8] M. Strzelecki, J. Kowalski, „Model układowy CMOS oscylatora do segmentacji obrazów”, I KKE 2002, Materiały Konferencji, Kołobrzeg – Dźwirzyno, tom 1/2, pp. 253 - 258, 2002.
- [9] M. Strzelecki, P. Liberski, A. Zalewska: “Segmentation of Mast Cell Images Using network of Synchronised Oscillators”, *Proc. of the Int. Conf. of Informatics for Health Care*, 19-20 Sept., Lithuania, pp. 81-88, 2002.
- [10] M. Strzelecki, “Pattern Recognition Using Network of Synchronised Oscillators”, *Int. Proc. of Int. Conf. of Computer Vision and Graphics*, **2**, 25-29 September, Zakopane, pp. 716-721, 2002.