

Jacek Kowalski
Michał Strzelecki
Instytut Elektroniki
Politechnika Łódzka
ul. Stefanowskiego 18/22, 90-924

Projekt realizacji CMOS sieci oscylatorów do segmentacji obrazów binarnych

Słowa kluczowe: analogowe układy CMOS, sieć oscylatorów, segmentacja obrazów

STRESZCZENIE

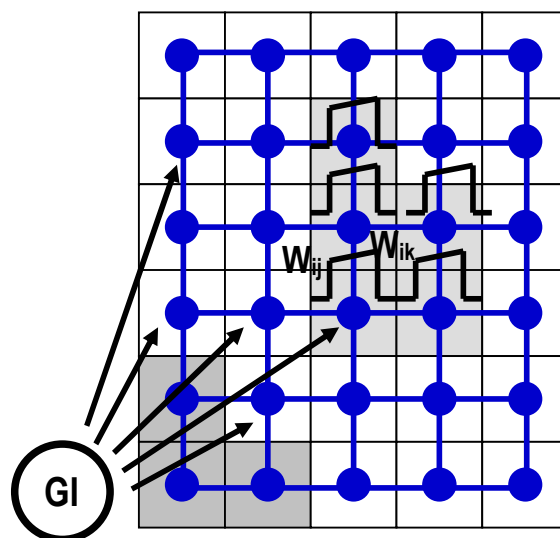
W pracy przedstawiono projekt sieci oscylatorów w technologii CMOS do segmentacji obrazów binarnych. Realizacja układowa VLSI takiej sieci prowadzi do dużo szybszej segmentacji obrazów w porównaniu do metod opartych na symulacji komputerowej. Zaproponowano model układowy oscylatora, połączeń wag synaptycznych pomiędzy oscylatorami, układu globalnego inhibitora oraz układu wejściowego próbkowania jasności piksela obrazu. Pokazano wyniki symulacji działania sieci z wykorzystaniem programu SPICE ICAP/4 dotyczące segmentacji przykładowego obrazu binarnego.

1. WPROWADZENIE

Celem artykułu jest przedstawienie projektu realizacji CMOS VLSI sieci synchronicznych oscylatorów. Zadaniem tej sieci jest segmentacja obrazów binarnych. Segmentacja, polegająca na podziale obrazu na rozłączne obszary (mająca na celu wydzielenie np. obiektów obrazu od tła), jest jednym z ważniejszych etapów przetwarzania obrazów. Poprawne wykonanie segmentacji ma duży wpływ na dalszą analizę obrazu i umożliwia charakterystykę ilościową obiektów obrazu, np. pomiar wybranych parametrów geometrycznych. Metody segmentacji obrazów z wykorzystaniem sieci synchronicznych oscylatorów okazały się skuteczne m.in. w przypadku segmentacji binarnych obrazów biomedycznych [6] oraz obrazów dokumentów [7].

Sieć synchronicznych oscylatorów wykorzystuje teorię chwilowej korelacji [8], która próbuje opisać zjawiska zachodzące w ludzkim mózgu podczas analizy obrazu. Według tej teorii, dla obserwowanego obrazu następuje ekstrakcja cech, następnie cechy te pobudzają komórki nerwowe mózgu. Jeżeli obszar obrazu jest jednorodny, kolejne komórki nerwowe ulegają aktywacji poprzez lokalne sprzężenia, tworząc mapę analizowanych obszarów. Na granicy jednorodnych obszarów następuje zanik impulsu pobudzającego i dalsze komórki nie są pobudzane. Po pewnym czasie komórki przestają być aktywne a cały proces powtarza się dla innego jednorodnego obszaru. W ten sposób powstają mapy, odwzorowujące jednorodne obszary w analizowanym obrazie. Sieć oscylatorów dla celów segmentacji zaproponowano w [4, 8]. Każdy oscylator sieci odpowiada jednemu punktowi obrazu, jak pokazano na rys. 1. W przypadku obrazów wagi W_{ij} łączące oscylatory przyjmują określoną dodatnią wartość, jeżeli punkty obrazu odpowiadające tym oscylatorom reprezentują obiekt. W przeciwnym przypadku wagi przyjmują wartość równą zero. Oscylatory reprezentujące obiekt obrazu

poprzez lokalną propagację sygnału są jednocześnie pobudzone, zaś pozostałe oscylatory pozostają nieaktywne. Proces ten powtarza się kolejno dla wszystkich jednorodnych obszarów w obrazie zapewniając w konsekwencji jego segmentację. Zadaniem globalnego układu hamującego (ang. *Global Inhibitor*, GI) jest zapewnienie desynchronizacji pomiędzy grupami oscylatorów reprezentujących poszczególne obiekty. GI jest równy jeden, jeżeli co najmniej jeden oscylator sieci jest pobudzony oraz zero w przeciwnym przypadku.



Rys. 1. Sieć oscylatorów o wymiarach 6×5. Każdy oscylator, poza brzegowymi jest połączony z czterema sąsiadami za pomocą wag W_{ij} (poza oscylatorami brzegowymi) oraz z globalnym układem hamującym GI

Realizacja sprzętowa sieci synchronicznych oscylatorów pozwoli na szybsze wykonanie segmentacji obrazu. Równoległa struktura sieci bardzo dobrze nadaje się do takiego zadania. Segmentacja poszczególnych obiektów obrazu będzie się dokonywała poprzez jednoczesne wzbudzenie wielu oscylatorów, zatem proces ten będzie dużo szybszy niż w przypadku szeregowej propagacji pobudzeń tak jak to ma miejsce przy symulacji komputerowej.

W artykule [1] przedstawiono model matematyczny i układowy CMOS oscylatora oraz wyniki jego symulacji. Wykazano również za pomocą symulacji komputerowych, że sieć takich oscylatorów pozwala na segmentację obrazów binarnych. W literaturze światowej przedmiotu pojawiły się prace na temat realizacji fizycznej sieci oscylatorów [2, 3]. Autorzy tych prac zaprojektowali układy elektroniczne oscylatorów oraz wykonali symulacje komputerowe sieci oscylatorów. Nie podjęli się jednak realizacji sieci oscylatorów w postaci układu scalonego VLSI. W niniejszej pracy przedstawiono model oscylatora oraz nowe modele układu połączeń wagowych i układu hamującego. Pokazano również wyniki symulacji procesu segmentacji sieci oscylatorów dla syntetycznego obrazu binarnego. Symulacje przeprowadzono za pomocą programu ICAP/4 Windows Educational v.8.1.10 firmy Intusoft, wykorzystując nominalne wartości parametrów tranzystorów MOS modelu Level 2 technologii CMOS MIETEC 2.4 μm .

2. MODEL MATEMATYCZNY I OBWODOWY OSCYLATORA

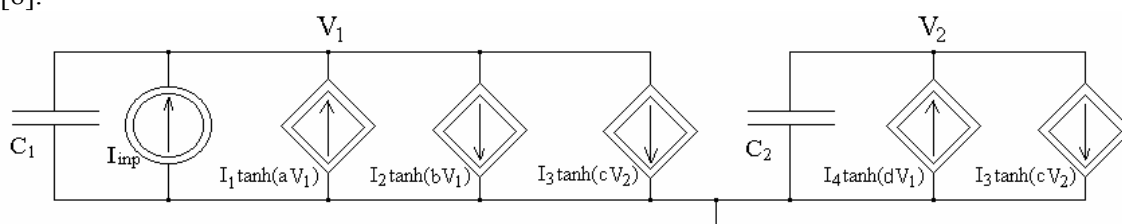
Ze względu na sposób realizacji oscylatora CMOS z zastosowaniem wzmacniaczy transkonduktancyjnych OTA [5] w pracy [1] zaproponowano model matematyczny oscylatora wykorzystujący funkcje tangens hiperboliczny. Model ten jest opisany za pomocą następującego układu nieliniowych równań różniczkowych:

$$C_1 \frac{dV_1}{dt} = I_1 \tanh(aV_1) - I_2 \tanh(bV_1) - I_3 \tanh(cV_2) + I_{inp} \quad (1)$$

$$C_2 \frac{dV_2}{dt} = I_4 \tanh(dV_1) - I_3 \tanh(cV_2) \quad (2)$$

gdzie V_1 jest zmienną pobudzającą, V_2 – zmienną hamującą, zaś $I_1, I_2, I_3, I_4, a, b, c, d$ są stałymi parametrami. I_{inp} jest całkowitym zewnętrznym pobudzeniem sieci, w najprostszy przypadku zależnym od jasności danego punktu obrazu.

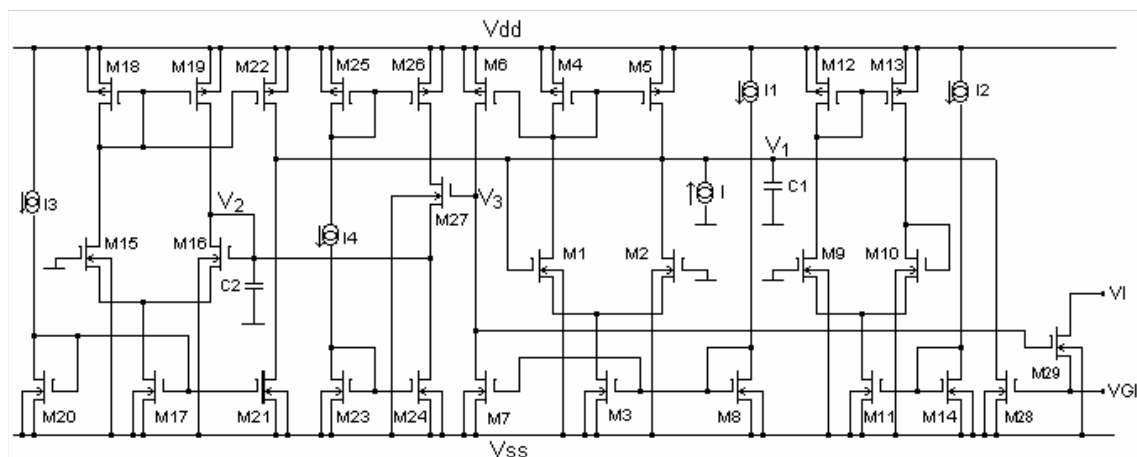
Schemat obwodowy tego modelu oscylatora przedstawia rys. 2. Identycznie jak w pracy [1] wybrano następujące wartości jego parametrów: $I_1=6\mu\text{A}$, $I_2=10\mu\text{A}$, $I_3=10\mu\text{A}$, $a=4.36$, $b=1.69$, $c=1.1$, $C_1=50\text{fF}$, $C_2=1\text{pF}$. W stosunku do [1] zwiększono wartość współczynnika d , aby zwiększyć stromość funkcji \tanh w (2). Zwiększono również prąd I_5 do wartości $5\mu\text{A}$. Obydwie te zmiany prowadzą do zwiększenia liczby obiektów rozpoznawanych przez sieć [8].



Rys. 2. Model obwodowy oscylatora

3. UKŁAD CMOS OSCYLATORA

Posługując się modelem obwodowym oscylatora z rys. 2 opracowano jego strukturę układową CMOS. Schemat ideowy oscylatora przedstawia rys. 3. Tranzystory M1-M5, M8 realizują funkcję $I_1 \tanh(aV_1)$, tranzystory M6, M7, M23-M27 realizują funkcję $I_4 \tanh(dV_1)$, tranzystory M9-M14 funkcję $I_2 \tanh(bV_1)$, zaś M15-22 funkcje $I_3 \tanh(cV_2)$. Tranzystory M23-M27 zwiększają wypadkowe wzmocnienie i realizują odpowiednio dużą wartość współczynnika d . Tranzystor M28 realizuje funkcję wykonawczą globalnego układu hamującego w danym oscylatorze. Jego bramka jest sterowana napięciem VGI, które odzwierciedla stan globalnego inhibitora. Tranzystor M29 każdego oscylatora podaje na wejście układu hamującego informację o stanie swojej aktywności.



Rys. 3. Schemat ideowy oscylatora

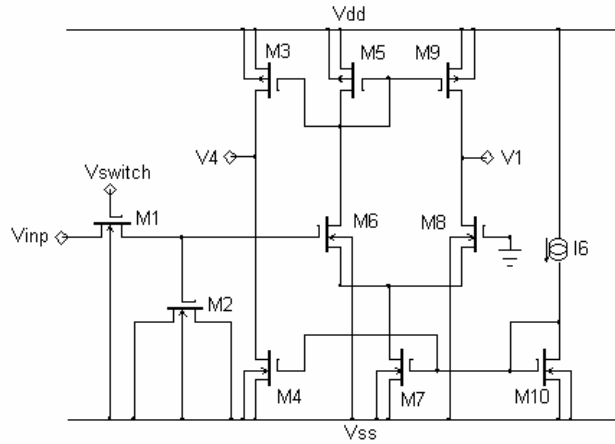
4. UKŁADY POŁĄCZEŃ SYNAPTYCZNYCH I GLOBALNEGO UKŁADU HAMUJĄCEGO

Całkowite zewnętrzne pobudzenie każdego oscylatora i opisane jest wzorem (3):

$$I_{inp}^i = I^i + \sum_{j=1}^4 I_5 W_{ij} Hev(V_{1j}) - I_7 z \quad Hev(V) = \begin{cases} 0 & V < 0 \\ 1 & V \geq 0 \end{cases} \quad (3)$$

gdzie I^i oznacza jasność punktu obrazu związanego z danym oscylatorem, W_{ij} są wagami pomiędzy oscylatorem i oraz jego czterema sąsiadami. $W_{ij}=1$, wyłącznie gdy i -ty oscylator oraz jego j -ty sąsiedni oscylator są aktywne, w przeciwnym wypadku $W_{ij}=0$. z jest zmienną określającą stan układu hamującego (GI); z jest równe 1, gdy co najmniej jeden oscylator sieci jest aktywny, tzn. jego sygnał wyjściowy $V_1(t) > 0$, w przeciwnym razie $z=0$. I_7 jest stałą wagą związaną z GI. Rolą GI jest blokowanie możliwości pobudzenia innych oscylatorów poza tymi, które reprezentują jeden obiekt.

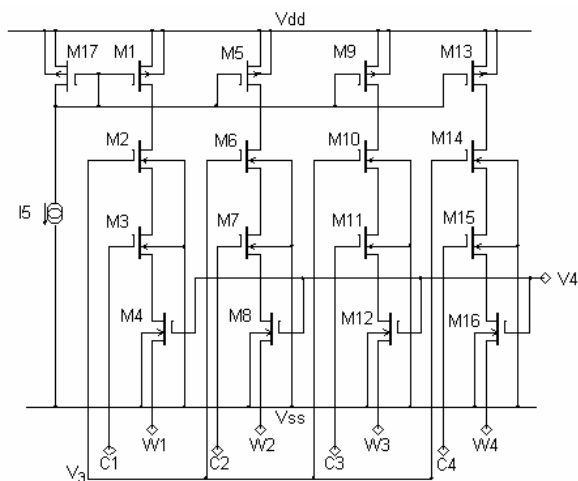
Schemat ideowy układu wejściowego próbkowania jasności piksela obrazu jest przedstawiony na rys. 4.



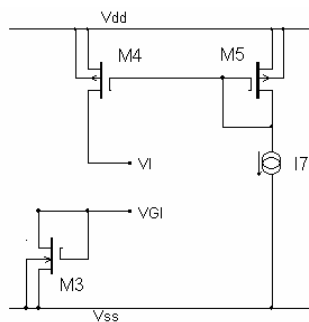
Rys.4. Wejściowy układ CMOS próbkowania jasności piksela obrazu

W chwili, gdy tranzystor M1 jest włączony następuje zapisanie wartości napięcia odpowiadającego jasności danego piksela obrazu na pojemności bramkowej tranzystora M2. Po wyłączeniu tranzystora M1 napięcie to jest pamiętane przez odpowiedni czas i następuje jego konwersja na postać prądową. Prąd ten jest podawany do punktu V_1 oscylatora (rys. 3). Sposób akwizycji obrazu poprzez sterowanie bramkami tranzystorów M1 układów próbkująco-pamiętających za pomocą rejestru przesuwającego został opisany w pracy [9].

Schemat ideowy układu CMOS realizującego połączenia synaptyczne między oscylatorami jest przedstawiony na rys. 5. Binarne napięcie w punkcie V_4 układu próbkująco-pamiętającego (rys.4) danej komórki oscylatora steruje tranzystorami M4, M8, M12, M16 układu połączeń synaptycznych. Punkty $C1...C4$ tego układu są połączone z punktami V_4 układów próbkująco-pamiętających sąsiednich komórek oscylatorów. Punkty $W1...W4$ układu połączeń synaptycznych są połączone z punktami V_1 oscylatorów sąsiednich komórek. Bramki tranzystorów M2, M6, M10, M14 układu CMOS połączeń synaptycznych są połączone z punktem V_3 danego oscylatora. W ten sposób jest zapewniona realizacja pierwszej części równania (3). Ostatnią część równania (3) realizuje układ globalnego inhibitora przedstawiony na rys. 6. Punkty V_{GI} i V_I są połączone odpowiednio z punktami V_{GI} oraz V_I wszystkich oscylatorów sieci.



Rys. 5. Układ CMOS połączeń synaptycznych



Rys. 6. Układ CMOS globalnego inhibitora

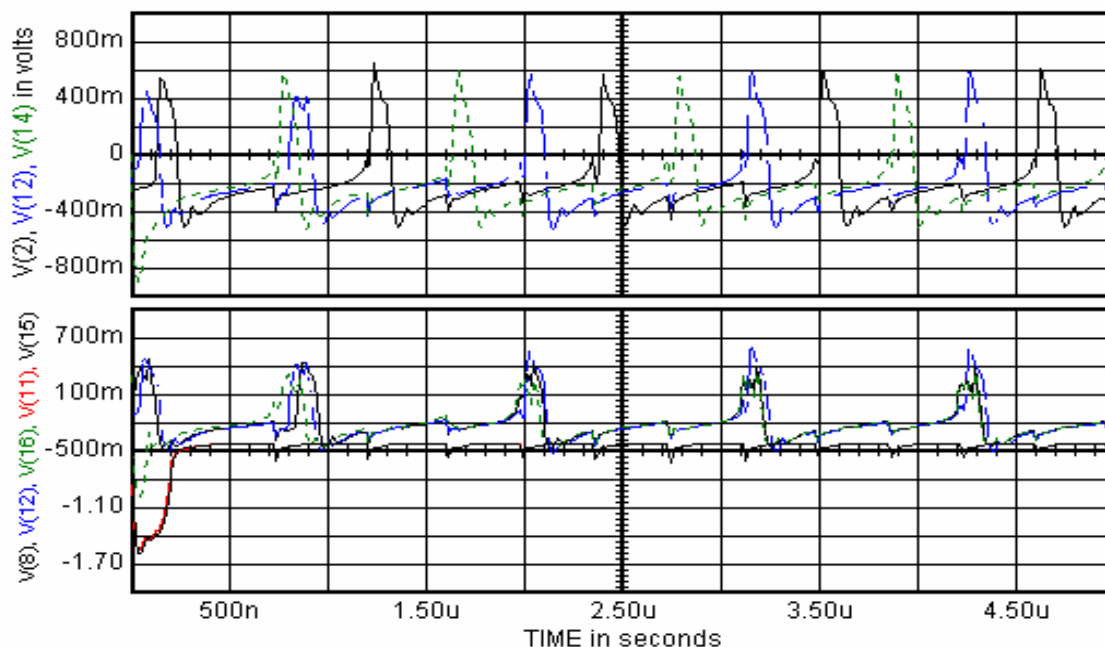
5. SYMULACJA SIECI OSCYLATORÓW CMOS

W celu sprawdzenia poprawności działania opisanej powyżej komórki oscylatora wykonano symulację komputerową za pomocą programu ICAP/4 sieci składającej się z 16 oscylatorów (4×4). Obraz wejściowy poddany segmentacji jest przedstawiony na rys. 7.

1	2	3	4
5	6	7	8
9	10	11	12
13	14	15	16

Rys. 7. Obraz wejściowy poddany segmentacji

Rys. 8 pokazuje przebiegi wyjściowe oscylatorów sieci. Górna część rysunku 8 przedstawia przebiegi zmiennych V_1 oscylatorów sieci o numerach 2, 12 i 14 odpowiadających trzem różnym obiektom. Można zaobserwować, że po pewnym czasie następuje desynchronizacja tych przebiegów. Dolna część rysunku 8 przedstawia przebiegi zmiennych V_1 oscylatorów sieci o numerach 8, 12, 16, 11 i 15. Przebiegi w oscylatorach 8, 12 i 16 synchronizują się, ponieważ odpowiadają jednemu obiektowi, zaś oscylatory 11 i 15 są nieaktywne. Zatem na podstawie obserwacji przebiegów wyjściowych oscylatorów można jednoznacznie wydzielić trzy obiekty występujące w obrazie, co prowadzi do jego segmentacji.



Rys. 8. Przebiegi wyjściowe oscylatorów sieci 4x4

6. WNIOSKI

Symulacja komputerowa programem ICAP/4 sieci oscylatorów potwierdza słuszność koncepcji projektu komórki CMOS oscylatora. Kolejnym krokiem powinna być symulacja sieci oscylatorów CMOS z zastosowaniem bardziej zaawansowanego modelu BSIM3 tranzystora MOS odpowiadającego nowoczesnym technologiom CMOS, jak np. AMS 0.8 μ m oraz implementacja sieci oscylatorów w formie układu scalonego.

BIBLIOGRAFIA

- [1] M. Strzelecki, J. Kowalski, „*Model układowy CMOS oscylatora do segmentacji obrazów*”, I KKE 2002, Materiały Konferencji, Kołobrzeg – Dźwirzyno, tom 1/2, pp. 253 - 258, 2002.
- [2] J. Cosp, J. Madrenas, J. Moreno, J. Cabestany, „*Analog VLSI implementation of a relaxation oscillator for neuromorphic networks*”, Neuromorphic Systems: Engineering Silicon from Neurobiology, L. Smith and A. Hamilton, Eds. Singapore: World Scientific, 1998.
- [3] H. Ando, T. Morie, M. Nagata, A. Iwata, „*A nonlinear oscillator network for gray-level image segmentation in PWM/PPM circuits for its VLSI implementation*”, IEICE Trans. Fundamentals Electron., Comm. Comput. Sci., **E83A**, pp. 329-336, 2000.
- [4] E. Cemeli, D. Wang, „*Texture Segmentation Using Gaussian-Markov Random Fields and Neural Oscillator Networks*”, IEEE Trans. on Neural Networks, **12**, pp. 394-404, 2001.
- [5] J. Kowalski, T. Kacprzak, „*Analiza i projektowanie sieci neuronowych komórkowych realizowanych w technice układowej wzmacniaczy transkonduktancyjnych jedno- i wielowejściowych*”, Kwartalnik Elektroniki i Telekomunikacji, **47**, Zeszyt 1, pp. 87 – 119, 2001.
- [6] M. Strzelecki, P. Liberski, A. Zalewska: „*Segmentation of Mast Cell Images Using network of Synchronised Oscillators*”, Proc. of the Int. Conf. of Informatics for Health Care, 19-20 Sept., Lithuania, pp. 81-88, 2002.
- [7] M. Strzelecki, „*Pattern Recognition Using Network of Synchronised Oscillators*”, Int. Proc. of Int. Conf. of Computer Vision and Graphics, **2**, 25-29 September, Zakopane, pp. 716-721, 2002.
- [8] D. Wang, D. Terman, „*Image segmentation based on oscillatory correlation*”, Neural Computation, **9**, pp. 805-836, 1997.
- [9] J. Kowalski, „*Analogue Weighted Median Filter Based on Cellular Neural Network for Standard Video Signal Processing*”, Proceedings of 7-th IEEE International Workshop on Cellular Neural Networks and their Applications, CNNA-2002, Germany, pp. 638 - 645, 2002.